

Steckbrief: Blended Learning im Modul FPGA Design (Gion-Pol Catregn)

Stand: 07. Februar 2020 (Kontakt: gion-pol.catregn@fhgr.ch)



Kurzbeschreibung

Im Moodle-Kurs FPGA Design geht es darum die Hardwarebeschreibungssprache VHDL (VeryHighSpeed Hardware Description Language) zu erlernen. Dabei werden den Studierenden Videos zur Verfügung gestellt mit welchen Sie Designaufgaben Schritt für Schritt durchführen können. Dies hat den grossen Vorteil, dass jeder einzelne der Studierenden in seinem Tempo den Designschritten folgen kann.

Highlights/Empfehlungen/Tipps:

Für die Erstellung der Videos ist das Tool "OBS Studio" sehr empfehlenswert. Es ist kostenlos und sehr intuitiv zu nutzen. Es ist für Linux, Windows und MAC verfügbar.

Das Tool kann hier heruntergeladen werden: <https://obsproject.com/de/download>

Das Video kann danach auf YouTube hochgeladen und per Link im Moodle verknüpft werden.

Stolpersteine/Hürden

Erst ein kurzes Video aufnehmen um die Audioqualität zu testen. Erspart einem viel Zeit das Video zu wiederholen;-).

Welche Moodle-Aktivitäten werden verwendet?

Lernvideos, Videos mit Installationsanleitungen, Programmieranleitungen u.s.w.

Kurzbeschreibung

MiniZed ClockOut

The screenshot displays the Vivado IDE interface for a MiniZed board. The left sidebar shows the Project Manager and Hardware Manager. The Hardware Manager shows a xc7z007s_1 device programmed. The Tcl Console displays a warning: "WARNING: [Labtools 27-5361] The debug hub core was not detected. Resolution: 1. Make sure the clock connected to the debug hub (dbg_hub) core is a free running clock and is active. 2. Make sure the BSCAN_SWITCH_USER_MASK device property in Vivado Hardware Manager reflects the user chain setting. For more details on setting the user chain property, consult the Vivado Debug and Programming User Guide (UG908)." An inset image shows the physical MiniZed board with a hand pointing to the debug hub area.

```
49 # Arduino Expansion using Solder Connectors
50 # -----
51 # Bank 35
52 set_property PACKAGE_PIN F14 [get_ports [SW0 ]] # "F14.ARDUINO_A0"
53 set_property PACKAGE_PIN F13 [get_ports [SW1 ]] # "F13.ARDUINO_A1"
54 set_property PACKAGE_PIN F12 [get_ports [SW2 ]] # "F12.ARDUINO_A2"
55 # Note that ARDUINO_A[3:8] are shared with LEDs and a switch. Therefore
56 # these next three pin locations get repeated. Depending on which features
57 # you use, one or the other constraints should be commented out.
58 set_property PACKAGE_PIN E13 [get_ports [SW0 ]] # "E13.ARDUINO_A3"
59 set_property PACKAGE_PIN E12 [get_ports [SW1 ]] # "E12.ARDUINO_A4"
60 set_property PACKAGE_PIN E11 [get_ports [SW2 ]] # "E11.ARDUINO_A5"
61 # Bank 36
62 set_property PACKAGE_PIN R6 [get_ports [ARDUINO_I00 ]] # "R6.ARDUINO_I00"
63 set_property PACKAGE_PIN P6 [get_ports [ARDUINO_I01 ]] # "P6.ARDUINO_I01"
64 set_property PACKAGE_PIN P9 [get_ports [ARDUINO_I02 ]] # "P9.ARDUINO_I02"
65 set_property PACKAGE_PIN B7 [get_ports [BUZZER ]] # "B7.ARDUINO_I03"
66 set_property PACKAGE_PIN B7 [get_ports [ARDUINO_I04 ]] # "B7.ARDUINO_I04"
67 set_property PACKAGE_PIN B10 [get_ports [ARDUINO_I05 ]] # "B10.ARDUINO_I05"
68 set_property PACKAGE_PIN P10 [get_ports [ARDUINO_I06 ]] # "P10.ARDUINO_I06"
69 set_property PACKAGE_PIN B8 [get_ports [ARDUINO_I07 ]] # "B8.ARDUINO_I07"
70 set_property PACKAGE_PIN B9 [get_ports [ARDUINO_I08 ]] # "B9.ARDUINO_I08"
71 set_property PACKAGE_PIN B9 [get_ports [ARDUINO_I09 ]] # "B9.ARDUINO_I09"
72 set_property PACKAGE_PIN M10 [get_ports [LED4 ]] # "M10.ARDUINO_I010"
73 set_property PACKAGE_PIN M11 [get_ports [LED3 ]] # "M11.ARDUINO_I011"
74 set_property PACKAGE_PIN R11 [get_ports [LED2 ]] # "R11.ARDUINO_I012"
75 set_property PACKAGE_PIN F11 [get_ports [LED1 ]] # "F11.ARDUINO_I013"
76
77 # -----
78 # GPIO
79 # -----
80 # Bank 35
81 # Note that the LEDs and switch are shared with ARDUINO_A[3:8].
82 # these next three pin locations get repeated. Depending on which
83 # you use, one or the other constraints should be commented out.
84 set_property PACKAGE_PIN E13 [get_ports [P1_LED_0 ]] # "E13.ARDUINO_I014"
85 set_property PACKAGE_PIN F12 [get_ports [P1_LED_1 ]] # "F12.ARDUINO_I015"
86
```

Überblick

Modul

ECTS-Punkte
Semester

Anteil Selbststudium,
Elemente im Selbststudium

Good Practice im Blended
Learning

Wie erfolgt Feedback an die
Studierenden?

Erläuterungen

3 ECTS (VHDL Design)
– 5. Semester BsC Photonics (Bachelor, Vollzeit /Teilzeit)

20% Input, 30% Gruppenarbeit im Unterricht, 50 % Selbststudium
– Designaufgaben mit Musterlösungen, Lernvideos mit zugehörigen
Aufgaben

Verknüpfung mit Präsenz
– Lernziele, Designs werden im Unterricht vorbereitet und gestartet.

Feedback
– Es erfolgt ein direktes Feedback zum Design in der nächsten
Modulwoche. Zudem sieht der Studierende direkt ob es funktioniert.

Nachhaltigkeit

Ergebnisse:

- Videos sind eine gute Variante, in heterogenen Klassen, allen die Möglichkeit zu geben in ihrem individuellen Lerntempo zu arbeiten.

Wirkungen:

- Die Studierenden schätzen die Videos sehr. Es wird immer wieder gewünscht zu gewissen Inhalten ein Video zu bekommen.

Ausblick:

- Es gibt sicher viele solcher Tools um Videos zu erstellen. OBS Studio ist für den Einstieg sehr empfehlenswert.